

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-149395

(43)公開日 平成6年(1994)5月27日

(51)Int.Cl<sup>5</sup>

G 0 5 F 1/56  
1/618  
H 0 1 L 27/04

識別記号 3 1 0 K 4237-5H  
3 1 0 4237-5H  
M 8427-4M

F I

技術表示箇所

審査請求 未請求 請求項の数3(全7頁)

(21)出願番号

特願平4-302079

(22)出願日

平成4年(1992)11月12日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 岡本 利治

東京都港区芝五丁目7番1号日本電気株式会社内

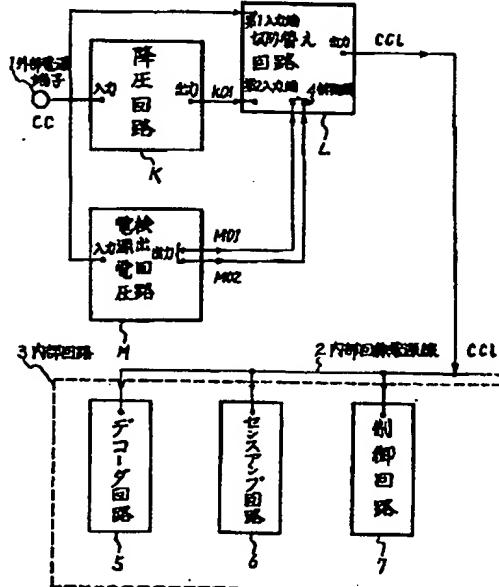
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】半導体装置内に組み込むことで、外部電源電圧が5Vであっても、3.3Vであっても、どちらの外部電源電圧を使用しても、高速の動作速度と安定な作動を実現すること。

【構成】電源電圧検出回路Mと降圧回路Kと切り替え回路Lとから構成される。電源電圧検出回路Mで、外部電源電圧の大きさを検出し、出力として切り替え回路Lを制御する信号を送り出す。切り替え回路Lは、外部電源電圧が5Vであった場合、降圧回路Kによって3.3Vに降圧された内部電源電圧を内部回路3に供給するように、また外部電源電圧が3.3Vの場合には、外部電源電圧をそのまま内部回路3に供給するように機能する。



## 【特許請求の範囲】

【請求項1】 入力が外部電源端子に接続され、前記外部電源端子から印加された外部電源電圧よりも低い内部電源電圧に変換して出力する降圧回路と、入力が前記外部電源端子に接続され、前記外部電源電圧が、設定された回路しきい値よりも高レベルの場合には出力に論理1を又は論理0を、低レベルの場合論理0又は論理1を出力する電源電圧検出回路と、第1の入力端と第2の入力端と制御端と出力端とを有し、前記第1の入力端に前記外部電源端子が接続され、前記第2の入力端に前記降圧回路の出力が接続され、前記制御端に前記電源電圧検出回路の出力が接続され、前記出力端が内部回路の電源線に接続され、前記制御端に印加された論理値信号によって前記出力端に前記降圧回路の出力電圧あるいは前記外部電源電圧のどちらかが印加されるように機能する切り替え回路とを備えたことを特徴とする半導体装置。

【請求項2】 電源電圧検出回路は、外部電源電圧の大きさを判定する判定電圧の値が3.3Vから5.0Vの間に設定されている請求項1に記載の半導体装置。

【請求項3】 電源電圧検出回路は、外部電源電圧の大きさを判定する判定電圧の値が2Vから3Vの間に設定されている請求項1に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に外部電源電圧が5Vの場合でも3.3Vあるいは3.0Vの場合でも高速かつ安定に動作可能なMOSFETを主な構成要素とする半導体装置に関する。

## 【0002】

【従来の技術】 近年、半導体装置の大容量化、高速化の要求に応えるため、デバイス素子の微細化、すなわちMOSFETのゲート長の縮小、ゲート酸化膜の薄膜化が進行している。例えば、現在大容量化が最も進んでいるDRAM(ダイナミック・ランダム・アクセス・メモリ)においては、ゲート長は、0.5~0.6μm、ゲート酸化膜厚は150Å程度まで縮小されている。このように、MOSFETの微細化が進むと、ホットキャリア耐圧、ソースドレイン耐圧は低下する為、電源電圧として5Vを使用する従来の方式では、半導体装置の信頼性の確保が困難になる。例えば、参考文献:日経マイクロデバイス1990年2月号(p.115~122)。

【0003】 そこで、近年では、半導体装置に使用する電源電圧を、5Vから、3.3Vに下げる方式が考えられている。電源電圧を下げることで、チャネル領域に加わる電界の強さが緩和されるため、デバイス素子の劣化は抑制される。したがって、大容量化を進めても半導体装置の信頼性は確保できるだろう。

【0004】 しかし、外部電源電圧の選択という問題

は、半導体装置を設計する側では、自體にならぬことでもある。半導体装置を搭載する外部装置より提供される電源電圧は、従来の電源電圧方式による半導体装置との混載も十分に有り得ることを考慮すると、容易に3.3Vに切り替わらないだろう。従って、電源電圧が5Vから3.3Vに移行する過渡期にあっては、どちらの電源電圧方式でも動作するような工夫を半導体装置自身に付加する必要がある。

【0005】 そこで、外部電源電圧Vcc(ext)を、まず、半導体装置内に備えた降圧回路で受け、内部電源電圧Vcc(int)=3.3Vに変換し、それから、内部回路に供給する方式が一般的になってきた。外部電源電圧が5Vであっても、3.3Vであっても、降圧回路によって内部電源電圧Vcc(int)とし、それから内部回路に供給する方式である。例えば、参考文献:日経マイクロデバイス1990年2月号(p.115~122)。

【0006】 図8は従来技術による降圧回路を使用した一般的な半導体記憶装置の一部ブロック図である。図8において、半導体装置内部に構成された降圧回路(K)へ、外部端子1につながる節点CCから外部電源電圧Vcc(ext)が入力し、降圧回路(K)で、内部電源電圧Vcc(int)に変換、出力節点CC1に出力し、内部回路電源線2を介して、このVcc(int)を内部の各回路3(例えばデコーダ回路5、センスアンプ回路6、制御回路7等)に供給する構成である。

【0007】 図9は、従来技術による降圧回路の入力節点CC、及び出力節点CC1に現れる電圧の外部電源電圧Vcc(ext)依存性を示した特性図である。出力節点CC1には降圧された内部電源電圧Vcc(int)が現れる。従来の降圧回路では、外部電源電圧Vcc(ext)=5Vの時にVcc(int)=3.3VがCC1に出力されるようにデバイスパラメータを最適化してやらなければならない。このため、外部電源電圧Vcc(ext)=3.3Vで使用する場合、内部電源電圧Vcc(int)はおよそ3.0V程度まで低下してしまう。そのため、特に低電源電圧3.3V使用において半導体装置に印加した外部電源電圧がそのままの大きさで降圧回路の出力節点CC1に出力されないという欠点があった。

【0008】 図10は、外部電源電圧3.3V使用環境下で半導体装置内の内部回路がスイッチングした場合の従来の降圧回路の出力節点CC1における電圧変化を示す特性図である。K2で示している波形は、内部回路中の任意の節点における一般的なスイッチングの波形を示したものである。一般的に内部回路がスイッチングした際、VccからGNDにむかって漏電流が流れる。内部回路にVcc(int)を供給する降圧回路の漏電流駆動能力には制限があるために、この時、出力節点CC1における電圧Vcc(int)は、一時的に大きく低下

し、その後、元の設定した電圧に復帰する。使用条件にもよるが、我々の実験では、およそ0.7V低下が見られ、従来の降圧回路を使用した場合には、使用電源電圧の変動の許容範囲の目安と見なされている±10%を越えている。このため、センサアンプ回路6、入力バッファ回路等、電源電圧の変動に対し敏感な内部回路3が誤動作し易くなる欠点があった。

## 【0009】

【発明が解決しようとする課題】以上述べてきたように、従来技術による降圧回路Kを有する半導体装置では、特に外部電源電圧V<sub>cc</sub>(ext)=3.3Vによる使用環境下の場合、①降圧回路Kを経て内部回路3へ供給される電源電圧V<sub>cc</sub>(int)は低下しているため、半導体装置が高速に動作しない。また②MOSFETの電流駆動能力の制限のために、内部回路3で大きな負電流が流れの場合、内部へ供給する電源電圧V<sub>cc</sub>(int)が大きくふらつき、半導体装置が不安定な動作を起こし易いという問題点がある。

【0010】従って、従来の降圧回路のみの構成の場合、外部電源電圧が特に3.3Vの場合、安定かつ高速に動作する半導体装置を提供できない欠点がある。

【0011】本発明の目的は、前記欠点を解決し、高速かつ安定に動作するようにした半導体装置を提供することにある。

## 【0012】

【課題を解決するための手段】本発明の半導体装置の構成は、入力が外部電源端子に接続され、前記外部電源端子から印加された外部電源電圧よりも低い内部電源電圧に変換して出力する降圧回路と、入力が前記外部電源端子に接続され、前記外部電源電圧が、設定された回路しきい値よりも高レベルの場合には出力に論理1を又は論理0を、低レベルの場合論理0又は論理1を出力する電源電圧検出回路と、第1の入力端と第2の入力端と制御端と出力端とを有し、前記第1の入力端に前記外部電源端子が接続され、前記第2の入力端に前記降圧回路の出力が接続され、前記制御端に前記電源電圧検出回路の出力が接続され、前記出力端が内部回路の電源線に接続され、前記制御端に印加された論理値信号によって前記出力端に前記降圧回路の出力電圧あるいは前記外部電源電圧のどちらかが印加されるように機能する切り替え回路とを備えたことを特徴とする。

## 【0013】

【実施例】図1は、本発明の第1の実施例による内部降圧回路を示したブロック図であり、一般的な半導体記憶装置に適用した例を一部ブロック図で示したものである。

【0014】図1において、本実施例では、降圧回路K、及び内部回路3(デコーダ回路5、センサアンプ回路6、制御回路7等)は、図8で説明したものと同様な

機能を持つものであるから、説明を省略する。電源電圧検出回路Mは、外部電源電圧V<sub>cc</sub>(ext)の大きさを検出して、出力節点M01、M02から、切り替え回路Lを制御する信号を送りだす機能を持つ。

【0015】図2は、図1中の電源電圧検出回路Mの機能を達成するような回路設計の一例を示した回路図である。図2において、本回路は、基本的には3つのインバータから構成されており、トランジスタQ21、Q22、Q24、Q26は、エンハンスメントp形MOSFET(EPMと略す)であり、トランジスタQ25、Q27はエンハンスメントn形MOSFET(ENMと略す)である。トランジスタQ23はディプレッショ>n形MOSFET(以下DNMと略す)である。

【0016】EPMQ21、Q22の基板電位はソース電位と同じにしてあり、ゲート電位はドレン電位から与える。DNMQ23の基板電位、ゲート電圧はGNDとしておく。この電源電圧検出回路Mは、5Vの外部電源電圧使用時であれば、出力節点M01に“H”を送りだし、出力節点M02は“L”にする。外部電源電圧として3.3Vを使用している場合には、M01に“L”を、M02に“H”を出力するような論理を実現する。

【0017】図3は図1中の切り替え回路Lの機能を達成するような回路設計の一例を示す回路図である。図3において、EPMQ31、ENMQ32とからなる第1のトランジスターゲートとEPMQ33、ENMQ34とからなるトランジスターゲートとを備え、トランジスタQ31、Q33は共にEPM、トランジスタQ32、Q34は共にENMであり、これらのEPMQ31、Q33、ENMQ32、Q34は、電流駆動能力を充分に大きくするために、各トランジスタのW/L(ゲート幅/ゲート長)は充分に大きく設計される。切り替え回路Lには、外部電源電圧V<sub>cc</sub>(ext)と降圧回路Kによって降圧された電圧K01、及び電源電圧検出回路Mより入力される2つの制御信号が入力している。制御信号の論理に応じて、V<sub>cc</sub>(ext)かK01のどちらが一方を選択して出力節点CC1に出力し、内部回路3に供給する機能を有する。

【0018】図4に、図2に示す電源電圧検出回路Mの節点CC、MA1、MB1、MC1に現れる電圧の外部電源電圧V<sub>cc</sub>(ext)依存性を示す。図4でこの動作を説明する。

【0019】まず、①外部電源電圧V<sub>cc</sub>(ext)が次の(1)式の条件を満たす(a)の期間は、図2のEPMQ21、Q22が非導通のため、節点MA1の電圧は0V、また節点MB1、節点MC1の電圧はそれぞれV<sub>cc</sub>(ext)、0Vとなる。ここで、VTPは、EPMQ21、Q22の閾値電圧である。

## 【0020】

… (1)

FH 008657

次に、②外部電源電圧  $V_{cc} (ext)$  の上昇にともない、EPMQ 21, Q 22が導通するため、節点MA 1の電圧も 0 V から上昇し、 $V_{cc} (ext)$  が次の(2)式で表される値になると、EPMQ 24とENMQ 25とから構成されるインバータが反転する。

【0021】図4中の(b)の期間にあたるこの時の節\*

$$V_{cc} (ext) = 2|VTP| + VI \quad \dots (2)$$

③さらに次の(3)式で表される(c)の期間では、外部電源電圧  $V_{cc} (ext)$  は充分に高いため、EPMQ 21, Q 22は導通し、節点MA 1の電圧は  $V_{cc} \approx 10$

$$V_{cc} (ext) \geq 2|VTP| + VI \quad \dots (3)$$

従って、電源電圧検出回路Mにおいては、入力節点CCに印加される外部電源電圧  $V_{cc} (ext)$  の大きさによって、出力節点M 01, M 02に 5 V であればそれぞれ  $V_{cc} (ext)$ , 0 V を、3. 3 V であればそれぞれ 0 V,  $V_{cc} (ext)$  を送り出すことが出来る。

【0024】また前記(2)式を満たす  $V_{cc} (ext)$  の値を  $V_{INTV1}$  とすると、 $V_{INTV1}$  の値は 3. 3 V と 5 Vとの間に設定される。例えば、 $VTP = -1. 4 V$ ,  $VI = 1. 0 V$  となるように設計された場合、 $V_{INTV1} = 3. 8 V$  となる。更にDNMQ 23は、高抵抗にするために、EPMQ 21, Q 22に対して、電流駆動能力が非常に小さくなるように設計される。

【0025】図5に、切り替え回路Lの出力節点CC 1★  
 $V_{cc} (int) = V_{cc} (ext)$

②  $V_{cc} > V_{INTV1}$  の場合

節点M 01 =  $V_{cc} (ext)$ , M 02 = 0 V となるため、切り替え回路L中のEPMQ 31とENMQ 32とが非導通、EPMQ 33とENMQ 34とが導通し、出☆30

$$V_{cc} (int) = VK01$$

従って、半導体装置の外部電源電圧  $V_{cc} (ext)$  として 5 V で使用した場合(図5中の②の領域)、各内部回路3に供給される内部電源電圧  $V_{cc} (int)$  は、降圧回路Kによって降圧された電圧  $VK01$  となる。一方、外部電源電圧として 3. 3 V を使用した場合(図5中の②の領域)、外部電源電圧  $V_{cc} (ext)$  が、半導体装置内の内部回路3に  $V_{cc} (int)$  としてそのまま供給される。従って、本実施例においては、特に外部電源電圧が 3. 3 V である場合においても内部電源電圧は、外部電源電圧と等しくなる。このため、従来例の場合のように、内部回路に供給する電圧が低下せず、半導体装置の動作速度が遅くなることはない(効果①)。

【0029】図6に、本実施例を半導体装置内に組み込み、外部電源電圧として 3. 3 V を使用している場合の、内部回路3をスイッチングさせたとき、内部降圧回路の出力節点CC 1に現れる電圧すなわち内部電源電圧  $V_{cc} (int)$  の変化を時間依存性で示す。

【0030】本実施例では、3. 3 V の外部電源電圧を使用している場合、前述したように、内部電源電圧  $V_{cc}$

\* 節点MA 1の電圧は、 $V_{cc} (ext) - 2|VTP|$  であり、また、節点MB 1, MC 1の電圧は、それぞれ 0 V,  $V_{cc} (ext)$  へとスイッチングする。ここで、V 1は、EPMQ 24とENMQ 25とから構成されるインバータの論理閾値である。

【0022】

$$V_{cc} (ext) - 2|VTP| \quad \dots (2)$$

\*  $(ext) - 2|VTP|$  になり、節点MB 1, MC 1の電圧はそれぞれ  $V_{cc} (ext)$ , 0 V となる。

【0023】

$$V_{cc} (ext) \geq 2|VTP| + VI \quad \dots (3)$$

★に現れる電圧の外部電源電圧  $V_{cc} (ext)$  依存性を示す。ここで、 $V_{INTV1}$  は前述したように前記(2)式を満たす  $V_{cc} (ext)$  の値であるが、これは電源電圧検出回路Mの作動判定点と見なすことが出来る電圧値である。

【0026】①  $V_{cc} (ext) \leq V_{INTV1}$  の場合  
 電源電圧検出回路Mの出力節点M 01 = 0 V, M 02 =  $V_{cc} (ext)$  となる為、EPMQ 31とENMQ 32とが導通、EPMQ 33とENMQ 34とが非導通にあり、出力節点CC 1には、外部より印加された電圧  $V_{cc} (ext)$  がそのまま印加され、出力節点CC 1の電圧すなわち内部回路に供給される電圧  $V_{cc} (int)$  は次の(3')式で表される。

【0027】

$$\dots (3')$$

★出力節点CC 1には、降圧回路Kの出力電圧  $VK01$  が印加され、出力節点CC 1に現れる電圧  $V_{cc} (int)$  は次の(4)式で表される。

【0028】

$$\dots (4)$$

$c (int)$  は、降圧回路Kを経ることなく、電流駆動能力の大きいトランジスタを介して外部電源電圧  $V_{cc} (ext)$  を内部回路3に供給するために、従来例の場合に比べて、内部回路3をスイッチングさせた際の、CC 1での内部電源電圧  $V_{cc} (int)$  のふらつきは小さくなるので、電源電圧の変動許容量の目安とされる ± 10% (0. 33 V) 以内に十分収まる。従って内部回路3、特にセンサアンプ回路6、入力パッファ等、電源電圧の変動に対し、敏感な回路の誤動作は、従来例よりも起こりにくい(効果②)。

【0031】図7は本発明の第2の実施例を示すブロック図である。図7において、本実施例である内部降圧回路を半導体装置内に設ける場合の、電源電圧検出回路Mについて第2の実施例を示したものである。図7において、本実施例が第1の実施例における電源電圧検出回路Mと異なるのは、入力節点CC 1につながる初段のインバータの構成である。ENMQ 31, DNMQ 23からなり、ENMQ 31のゲート電圧は、ドレインの電位から与えられている。その他のMOSFETは、前記第1の

実施例と同様の構成であるので、説明を省略する。また節点MA 2の電圧変化は、第1の実施例中のMA 1の電圧変化と同一になるように、ENMQ31のしきい値電圧が設計されている。

【0032】例えば、ENMQ31のしきい値電圧V<sub>T</sub> NをV<sub>T</sub> N=2.8Vに設定してやると、図7の電源電圧検出回路Mが検出できる電圧V<sub>INTV</sub> 2は、前記第1の実施例で述べた電源電圧検出回路(図2)におけるV<sub>INTV</sub> 1と等しくなり、以下第2の実施例の動作は、節点MA 1, MB 1, MC 1は、それぞれMA 2, MB 2, MC 2に置き換えたのと同一になるので説明を省略する。

【0033】

【発明の効果】以上述べたように、本発明は、外部電源電圧の値が例えば5Vのときは出力節点CC1には降圧回路の出力電圧VK01が印加され、一方外部電源電圧の値が例えば3.3Vのときには、節点CC1には節点CCに印加された電圧が切り替え回路によってそのまま印加されるから、特に低電圧の外部電源V<sub>CC</sub>(ext)=3.3Vを使用している場合において、①従来例のような、内部回路に供給する電圧の低下がないため半導体装置の動作が速くなるということではなく、②また特に電流駆動能力の大きいEPM, ENMからなるトランジスタゲートを介して外部電源電圧を内部回路に供給した場合には、従来例に比例して、内部回路がスイッチングした際に貫通電流が流れることによって起きる内部電源電圧のふらつきは充分小さくなるため電源電圧の変動に敏感な回路の誤動作は従来例よりも起こり難くなるという効果がある。

【0034】以上述べたような効果①, ②によって、使用する外部電源電圧V<sub>CC</sub>(ext)が3.3Vであっても5Vであっても安定にかつ高速に動作する半導体装置を提供できる。

【0035】また、本実施例においては、電源電圧検出回路として図2、図7に示す構成を示し、切り替え回路としては図3に示す構成を示したが、これらの回路構成に限定されるものではなく、同一機能を持つものであればよい。

【0036】さらに、本実施例では外部電源電圧V<sub>CC</sub>(ext)=3.3Vとして説明したが、外部電源電圧V<sub>CC</sub>(ext)=3.0Vの場合であっても、あるいは

は外部電源電圧V<sub>CC</sub>(ext)の値がそれ以下の場合であってもよい。この時、V<sub>I</sub>の値は外部電源電圧V<sub>CC</sub>(ext)の値に応じて設定されることはもちろんである。

【図面の簡単な説明】

【図1】本発明の第1の実施例の半導体装置による内部降圧回路のブロック図である。

【図2】図1中の電源電圧検出回路の一例を示す回路図である。

【図3】図1中の切り替え回路の一例を示す回路図である。

【図4】図1の電源電圧検出回路での入力節点や節点等に現れる電圧変化のV<sub>CC</sub>(ext)依存性を示している特性図である。

【図5】図1の切り替え回路での出力節点の電圧変化のV<sub>CC</sub>(ext)依存性を示す特性図である。

【図6】図1の内部降圧回路を有する半導体装置において、内部回路をスイッチングさせた際の出力節点に現れる電圧波形の変化の様子を示す特性図である。

【図7】本発明の第2の実施例による内部降圧回路を実現する電源電圧回路の一例を示す回路図である。

【図8】従来技術による内部降圧回路を示すブロック図である。

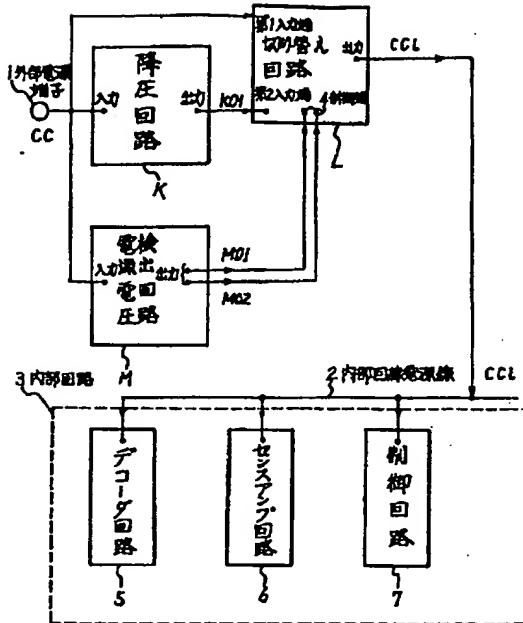
【図9】従来技術による内部降圧回路において、外部電源電圧依存性を示す特性図である。

【図10】従来技術による内部降圧回路を有した半導体装置の内部回路をスイッチングさせたときの節点における電圧変化の様子を示した特性図である。

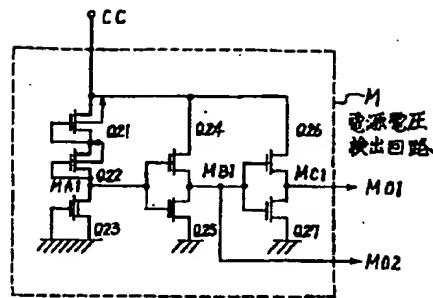
【符号の説明】

30	K	降圧回路
	M	外部電源電圧検出回路
	L	切り替え回路
	K 1	スイッチングの様子を最も良く示す内部回路の任意の2箇所の節点での電圧波形
	K 2	内部回路のスイッチングの様子を示す波形
40	1	外部電源端子
	2	内部回路電源線
	3	内部回路
	5	デコード回路
	6	センスアンプ回路
	7	制御回路

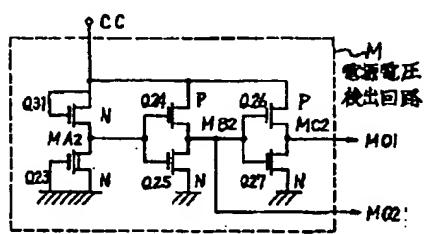
【図1】



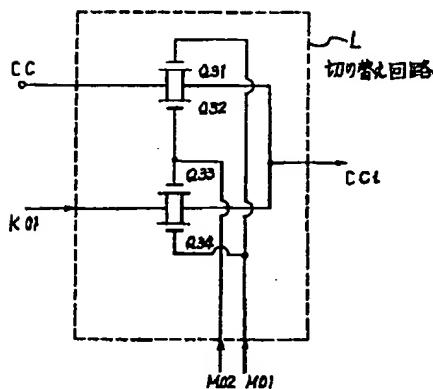
【図2】



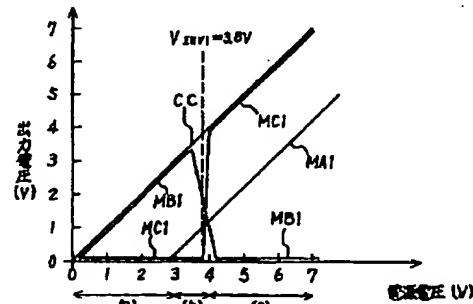
【図7】



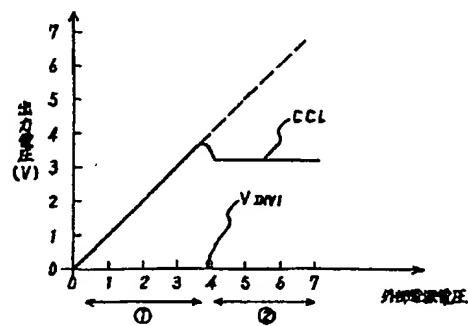
【図3】



【図4】



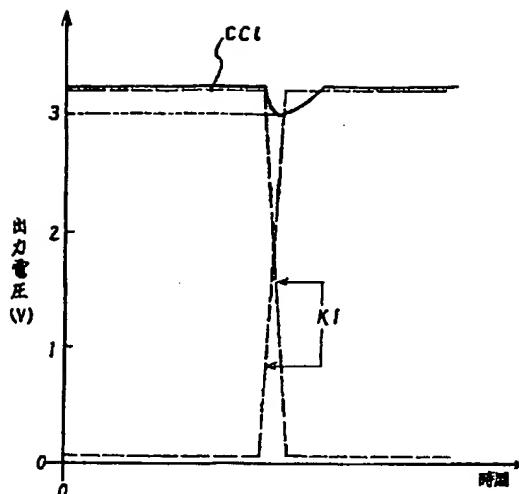
【図5】



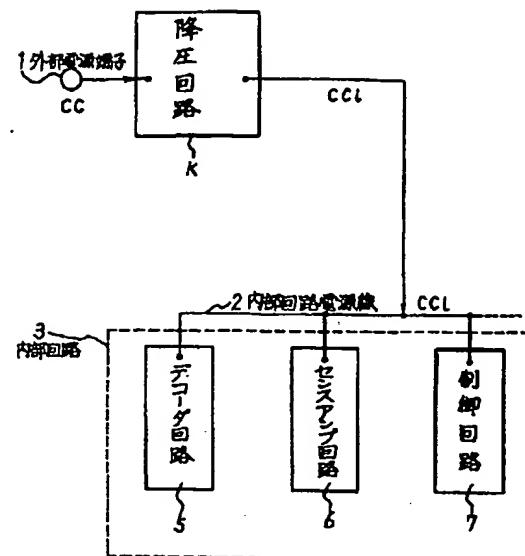
(7)

特開平6-149395

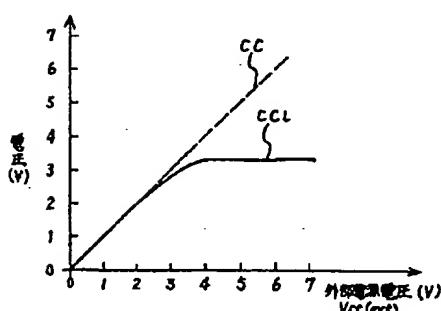
【図6】



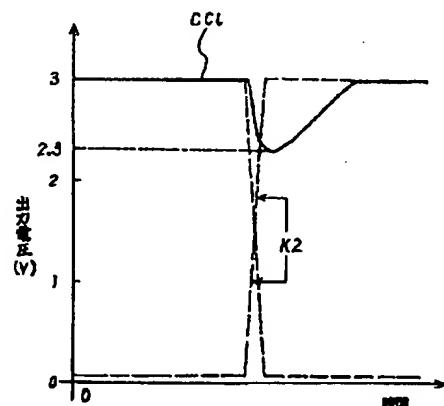
【図8】



【図9】



【図10】



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06149395 A

(43) Date of publication of application: 27 . 06 . 94

(51) Int. Cl.      G05F 1/56  
                    G05F 1/618  
                    H01L 27/04

(21) Application number: 04302079

(71) Applicant: NEC CORP

(22) Date of filing: 12 . 11 . 92

(72) Inventor: OKAMOTO TOSHIJI

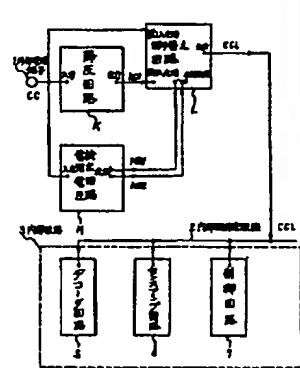
(54) SEMICONDUCTOR DEVICE

(57) Abstract

PURPOSE: To realize a high speed and stable operation even at the time of using any external power supply voltage either of 5V and 3.3V by integrating those power supply voltages in a semiconductor device.

CONSTITUTION: This device is constituted of a power supply voltage detecting circuit M, voltage dropping circuit K, and switching circuit L. The power supply voltage detecting circuit M detects the magnitude of the external power supply voltage, and transmits a signal for controlling the switching circuit L as an output. When the external power supply voltage is 5V, the switching circuit L supplies the internal power supply voltage which is dropped to 3.3V by the voltage dropping circuit K to an internal circuit 3, and when the external power supply voltage is 3.3V, the switching circuit L supplies the external power supply voltage to the inside circuit 3 as it is.

COPYRIGHT: (C)1994,JPO&Japio



(19) Japan Patent Office (JP)

(12) Publication of Unexamined Patent Application (A)

(11) Unexamined Patent Application (Kokai) No. H06-149395

(43) Disclosure Date: May 27, 1994

(51)	Int. Cl. <sup>7</sup> :	Identification Symbols	JPO File No.	FI	Tech. Indic.
	G 05 F	1/56 310 K	4237-5H		
		1/618 310	4237-5H		
	H 01 L	27/04 M	8427-4M		

Request for Examination: Not yet made

Number of Claims: 1

(Total Pages: 9 [in original!])

---

(21) Application No.: (1994) H04-302079

(22) Filing Date: November 12, 1992

(71) Applicant: 000004237

NEC

Shiba 5-7-1

Minato-ku, Tokyo

(72) Inventor: Toshiharu Okamoto

c/o NEC

Shiba 5-7-1

Minato-ku, Tokyo

---

(74) Agent: Naoki Kyomoto, Patent Attorney (and two others)

(54) [Title of the Invention] Semiconductor Device

(57) [Summary]

[Object]

To realize a high speed and stable operation even when using any external power supply voltage either of 5 V and 3.3 V by integrating those power supply voltages in a semiconductor device.

[Construction]

This device comprises a power supply voltage detecting circuit M, a voltage step-down circuit K, and a switching circuit L. The external power supply voltage detecting circuit M detects the magnitude of the external power supply voltage, and transmits a signal for controlling the switching circuit L as an output. The switching circuit L functions so as to supply internal power supply voltage which is stepped down to 3.3 V by the step-down circuit K to internal circuits 3 when the external power supply voltage is

FH 008663

5 V, and to supply external power supply voltage unchanged to the internal circuits 3 when the external power supply voltage is 5 V.

[Claims]

[Claim 1]

A semiconductor device characterized by having an input connected to an external power supply terminal, and a step-down circuit for converting an external power supply voltage applied from the external power supply terminal to a lower internal power supply voltage and outputting an input connected to an external power supply terminal, and a power supply voltage detecting circuit for outputting a logic 1 or a logic 0 if the external power supply voltage is higher than the established circuit threshold value, and a logic 0 or a logic 1 if the established circuit threshold value is a low level; and a switching circuit having a first input terminal; a second input terminal, control terminals, and an output terminal; the external power supply terminal connected to the first input terminal, the output of the step-down circuit connected to the second input terminal, the outputs of the power supply voltage detecting circuit connected to the control terminals, and the output terminal connected to the power supply line of the internal circuits; and a function for applying either the output voltage of the step-down circuit or the external power supply voltage to the output terminal according to the logic value signal applied to the control terminal.

[Claim 2]

A semiconductor device according to Claim 1 wherein the value of the decision voltage for determining the magnitude of the external power supply voltage is set between 3.3 V and 5.0 V for the power supply voltage detecting circuit.

[Claim 3]

A semiconductor device according in Claim 1 wherein the value of the decision voltage for determining the magnitude of the external power supply voltage is set between 2V and 3V for the power supply voltage detecting circuit.

[Detailed Description of the Invention]

[0001]

[Technological Field of the Invention]

The present invention relates to a semiconductor device, and in particular, to a semiconductor device wherein the principal component is a MOSFET capable of operating stably and at a high speed even when the external power supply voltage is 5 V, 3.3 V or 3.0 V.

[0002]

[Prior Art]

In recent years, the miniaturization of device elements, that is, the reduction in size of MOSFET gate length and the greater thinness of gate oxide film has continued to progress. For example, currently in DRAM (Dynamic Random Access Memory) with the greatest storage capacity, the gate length has been reduced to 0.5 to 0.6  $\mu\text{m}$ , and the gate oxide thickness has been reduced to about 150 Å. Thus, as the miniaturization of MOSFET progresses, assuring semiconductor device reliability becomes more difficult with conventional methods using 5 V as a power supply voltage because the hot carrier voltage tolerance and the source drain voltage tolerance drops. See reference materials *Nikkei Microdevices*, April, 1991 (P. 52 to 61), and *Nikkei Electronics*, May, 1991 (P. 143), for example.

[0003]

Thus, in recent years, a method has been devised whereby the power supply voltage used in semiconductor devices is reduced from 5 V to 3.3 V. By reducing the power supply voltage, deterioration of the device components is held in check because the strength of the electric field applied to the channel region is eased. Therefore, the reliability of semiconductor devices can likely be assured even with the increase of storage capacity.

[0004]

However, the problem of selecting an external power supply voltage cannot always be adequately resolved from the perspective of semiconductor device design. A power supply voltage provided by an external device configured with a semiconductor device is likely not easily switched to 3.3 V considering that it is sufficiently possible to configure in combination with conventional power supply voltage methods. Therefore, it is necessary to add a function to the semiconductor device itself to allow operation with either power supply voltage method when the power supply voltage moves from 5 V to 3.3 V.

[0005]

A method has become common whereby the external power supply voltage  $V_{cc}(\text{ext})$  is first received by a step-down circuit internally provided to the semiconductor device, then converted to the internal power supply voltage  $V_{cc}(\text{int}) = 3.3 \text{ V}$ , and finally supplied to the internal circuit. This is a method whereby the external power supply voltage, whether 5 V or 3.3 V, is set to the internal power supply voltage  $V_{cc}(\text{int})$  by the step-down circuit, and then supplied to the internal circuit. See reference material *Nikkei Microdevices*, February, 1990 (P. 115 to 122).

[0006]

**FH 008665**

Fig. 8 is a partial block diagram of a common semiconductor memory device using a step-down circuit according to prior art. In Fig. 8, an external power supply voltage  $V_{cc}$  (ext) is input from the node CC connected to an external terminal 1 to the step-down circuit (K) configured inside the semiconductor device, converted to the internal power supply voltage  $V_{cc}$  (int), output to the output node  $CC_i$ , and the  $V_{cc}$  (int) is supplied to the internal circuits 3 (decoder circuit 5, sense amplifier circuit 6, control circuit 7, and the like) by way of the internal circuit power supply line 2.

[0007]

Fig. 9 is a characteristics graph showing the external power supply voltage  $V_{cc}$  (ext) appearing at the output node  $CC_i$  and the input node CC of the step-down circuit according to prior art. Stepped-down internal power supply voltage  $V_{cc}$  (int) appears at output  $CC_i$ . In a conventional step-down circuit, the device parameters must be optimized so that  $V_{cc}$  (int) = 3.3 V is outputted at  $CC_i$  when the external power supply voltage  $V_{cc}$  (ext) = 5 V. Thus, when an external power supply voltage  $V_{cc}$  = 3.3 V is used, the internal power supply voltage  $V_{cc}$  (int) drops to about 3.0 V. Because of this, when using a lower power supply voltage of 3.3 V there was a drawback whereby the external power supply voltage applied to the semiconductor device was not outputted to the output node  $CC_i$  of the step-down circuit at the same magnitude.

[0008]

Fig. 10 is a characteristics graph showing the voltage change at the output node  $CC_i$  of a conventional step-down circuit when the internal circuit of the semiconductor device switches under conditions of an external power supply voltage of 3.3 V. The wave form showing at K2 shows a common switching wave form at any node in an internal circuit. Generally, when an internal circuit switches, a through-current flows from  $V_{cc}$  toward GND. Because there is a limit to the current-driving capability of the step-down circuit for supplying  $V_{cc}$  (int) to the internal circuit, the voltage  $V_{cc}$  (int) at the output node  $CC_i$  at this time generally drops sharply, and returns thereafter to the originally set voltage.

Depending on the usage conditions, a drop of about 0.7 V was observed in our experiments, and when a conventional step-down circuit was used the drop exceeded  $\pm 10\%$ , which is viewed as the standard of tolerance of variation of the used power supply voltage. This leads to a drawback whereby sensitive internal circuits 3 such as sense amplifier circuit 6 and input buffer circuits may malfunction due to power supply voltage fluctuations.

[0009]

FH 008666

[Problems overcome by the invention]

As noted above, when using an external power supply voltage  $V_{cc}(\text{ext}) = 3.3 \text{ V}$  in particular in a semiconductor device having a step-down circuit K according prior art, the semiconductor device does not operate at high speed because 1) the power supply voltage  $V_{cc}(\text{int})$  supplied to the internal circuits 3 by way of step-down circuit K is low. And 2), because of the limit of MOSFET current-driving capability, the power supply voltage  $V_{cc}(\text{int})$  supplied to the interior varies greatly when a large through-current flows in the internal circuits 3, and the semiconductor device easily becomes unstable.

[0010]

Therefore, a configuration with only a conventional step-down circuit has a drawback whereby a semiconductor device can be provided which operates stably and at high speed when an external power supply voltage of 3.3 V is used in particular.

[0011]

The purpose of the present invention is to resolve the above-mentioned problems and to provide a semiconductor device capable of operating stably and at a high speed.

[0012]

The structure of the semiconductor device of the present invention is characterized by having an input connected to an external power supply terminal and a step-down circuit for converting an external power supply voltage applied from the external power supply terminal to a lower internal power supply voltage and outputting; an input connected to an external power supply terminal and a power supply voltage detecting circuit for outputting a logic 1 or a logic 0 if the external power supply voltage is higher than the established circuit threshold value, and a logic 0 or a logic 1 if the established circuit threshold value is a low level; and a switching circuit a switching circuit having a first input terminal; a second input terminal, control terminals, and an output terminal; the external power supply terminal connected to the first input terminal, the output of the step-down circuit connected to the second input terminal, the outputs of the power supply voltage detecting circuit connected to the control terminals, and the output terminal connected to the power supply line of the internal circuits; and a function for applying either the output voltage of the step-down circuit or the external power supply voltage to the output terminal according to the logic value signal applied to the control terminal.

[0013]

[Working Examples]

Fig. 1 is a block diagram showing an internal step-down circuit according to the semiconductor device in the first working example of the present invention, and shows a partial block diagram of an example using a common semiconductor memory device.

[0014]

In Fig. 1, the step-down circuit K and the internal circuits 3 (decoder circuit 5, sense amplifier circuit 6, control circuit 7, and the like) in the present working example have the same functions as those described by Fig. 8, and a description is omitted. The power supply voltage detecting circuit M detects the magnitude of the external power supply voltage  $V_{cc}$  (ext) and sends a signal for controlling the switching circuit 8 from output nodes M01 and M02.

[0015]

Fig. 2 is a circuit diagram showing one example of a circuit design which achieves the functions of the power supply voltage detecting circuit M in Fig. 1. In Fig. 2, the present circuit comprises basically three inverters, and transistors Q21, Q22, Q24, and Q26 are enhancement PMOSFET (hereinafter abbreviated as EPM), and transistors Q25, and Q27 are enhancement NMOSFET (hereinafter abbreviated as ENM). Transistor Q23 is a depletion NMOSFET (hereinafter abbreviated as DNM).

[0016]

The substrate electric potential of EPM Q21 and Q22 are set as the same electric potential as the source potential, and the gate electric potential is determined by the drain electric potential. The substrate electric potential of DNM Q23 and the gate voltage is set to GND. This power supply voltage detecting circuit M sends an "H" to the output node M01 and the output node M02 is set to "L" if an external power supply voltage of 5 V is used. When using 3.3 V as the external power supply voltage, logic is realized such that "L" is outputted to M01 and "H" is outputted to M02.

[0017]

Fig. 3 is a circuit diagram showing an example of a circuit design which achieves the function of the switching circuit L in Fig. 1. In Fig. 3, a first transistor gate comprising EPM Q31 and ENM Q32, and a transistor gate comprising EPM Q33 and ENM Q34 are provided, both transistors Q31 and Q33 are EPM and both transistors Q32 and Q34 are ENM, and the W/L (gate width/ gate length) of each transistor are designed with sufficient size so that these EPM Q31 and Q33, and ENM Q32 and Q34 are provided with sufficiently large current-driving capacity. The external power supply voltage  $V_{cc}$  (ext), the voltage K01 stepped down by step-down circuit K, and the two control signals inputted from the power supply voltage detecting circuit M provide input to the

switching circuit L. Either one of  $V_{cc}$  (ext) or  $K01$  is selected according to the logic of the control signal, and then outputted to node  $CCi$  to supply to the internal circuits 3.

[0018]

Fig. 4 shows the external power supply voltage  $V_{cc}$  (ext) dependency of the voltage appearing at the nodes  $CC$ ,  $MA1$ ,  $MB1$ , and  $MC1$  of the power supply voltage detecting circuit M shown in Fig. 2. This action will be described using Fig. 4.

[0019]

First, during the time frame (a) wherein the external power supply voltage  $V_{cc}$  (ext) satisfies the conditions of the following Formula (1), the voltage of node  $MA1$  is 0 V and voltages of node  $MB1$  and node  $MC1$  are  $V_{cc}$  (ext) and 0 V respectively because EPM Q21 and Q22 in Fig. 2 are OFF. Here,  $V_{TP}$  is the threshold voltage of the EPM Q21 and Q22.

[0020]

$$(1) V_{cc} \text{ (ext)} \leq 2 |V_{TP}|$$

Second, the voltage of node  $MA1$  rises from 0 V because EPM Q21 and Q22 are ON in association with the rise in external power supply voltage  $V_{cc}$  (ext), and when  $V_{cc}$  (ext) reaches the value expressed by Formula (2), the inverter comprising EPM Q24 and ENM Q25 inverts.

[0021]

The voltage at node  $MA1$  during the period (b) in Fig. 4 is  $V_{cc}$  (ext) –  $2 |V_{TP}|$ , and the voltages at nodes  $MB1$  and  $MC1$  are switching to 0 V and  $V_{cc}$  (ext) respectively.  $V_I$  is the logic threshold value of the inverter comprising EPM Q24 and Q25.

[0022]

$$(2) V_{cc} \text{ (ext)} = 2 |V_{TP}| + V_I$$

Third, because the external power supply voltage  $V_{cc}$  (ext) during the period (c) expressed in the following Formula (3) is sufficiently high, EPM Q21 and Q22 are ON and the voltage of node  $MA1$  is  $V_{cc}$  (ext) -  $2 |V_{TP}|$ , and the voltages of nodes  $MB1$  and  $MC1$  are  $V_{cc}$  (ext) and 0 V respectively.

[0023]

$$(3) V_{cc} \text{ (ext)} \geq 2 |V_{TP}| + V_I$$

**FH 008669**

It is therefore possible to send  $V_{cc}$  (ext) and 0 V to the output nodes M01 and M02 respectively if 5 V, and 0 V and  $V_{cc}$  (ext) respectively if 3.3 V according to the magnitude of the external power supply voltage  $V_{cc}$  (ext) applied to the input node CC in the power supply voltage detecting circuit.

[0024]

Furthermore, if the value of  $V_{cc}$  (ext) satisfying the above-mentioned Formula (2) is set to  $V_{INTV1}$ , the value of  $V_{INTV1}$  is set between 3.3 V and 5 V. For example, if designed such that  $V_{TP} = -1.4$  V and  $V_I = 1.0$  V, then  $V_{INTV1} = 3.8$  V. Moreover, current-driving capability of the EPM Q21 and Q22 is designed to be very small in order to set DNM Q23 to a high resistance.

[0025]

Fig. 5 shows the external power supply voltage  $V_{cc}$  (ext) dependency of the voltage appearing at output node  $CC_i$  of the switching circuit L. Here,  $V_{INTV1}$  is the value of  $V_{cc}$  (ext), as noted above, satisfying the above-mentioned Formula (2), however, this is the voltage value which can be regarded as the operating decision point of the power supply voltage detecting circuit M.

[0026]

In the case  $V_{cc}$  (ext)  $\leq V_{INTV1}$ , because the output node M01 = 0 V and M02 =  $V_{cc}$  (ext) of the power supply voltage detecting circuit M, EPM Q31 and ENM Q32 are ON, EPM Q33 and ENM Q34 are OFF, the voltage  $V_{cc}$  (ext) externally applied is applied as is to output node  $CC_i$ , and the voltage of the output node  $CC_i$ , that is, the voltage  $V_{cc}$  (int) supplied to the internal circuits is expressed in the following Formula (3').

[0027]

$$(3') V_{cc} (\text{int}) = V_{cc} (\text{ext})$$

In the case  $V_{cc} > V_{INTV1}$ , because M02 = 0 V, EPM Q31 and ENM Q32 in the switching circuit L are OFF, and EPM Q33 and ENM Q34 are ON, the output voltage  $V_{K01}$  of the step-down circuit K is applied to output node  $CC_i$ , and the voltage  $V_{cc}$  (int) appearing at the output node  $CC_i$  is expressed in the following Formula (4).

[0028]

$$(4) V_{cc} (\text{int}) = V_{K01}$$

Therefore, in the case that 5 V is used as the external power supply voltage  $V_{cc}$  (ext) of a semiconductor device (Region ② in Fig. 5), the internal power supply voltage  $V_{cc}$  (int) supplied to various internal circuits 3 is voltage  $V_{K01}$  stepped down by step-down

circuit K. On the other hand, in the case that 3.3 V is used as the external power supply voltage (Region ② is Fig. 5), the external power supply voltage  $V_{cc}(\text{ext})$  is supplied as is as  $V_{cc}(\text{int})$  to the internal circuits 3 in the semiconductor device. Thus, in the present working example even in the case that the external power supply voltage in particular is 3.3 V, the internal power supply voltage is equivalent to the external power supply voltage. Because of this, the voltage supplied to the internal circuits does not drop and the operating speed of the semiconductor device is not slowed as in conventional examples (Effect ①).

[0029]

Fig. 6 shows the time dependency of the variation of the voltage appearing at output node  $CC_i$  of the internal step-down circuit, that is, the internal power supply voltage  $V_{cc}(\text{int})$  when the internal circuits integrated into the semiconductor device of the present working example are switched when using 3.3 V as the external power supply voltage.

[0030]

In the present working example, in the case an external power supply voltage of 3.3 V is used, because the external power supply voltage  $V_{cc}(\text{ext})$  is supplied to the internal circuits 3 by way of a transfer gate having a large current-driving capability, and the internal power supply voltage  $V_{cc}(\text{int})$  does not pass through the step-down circuit K as noted above, variation of power supply voltage is adequately held within the standard tolerance ( $\pm 10\%$  or 0.3.3 V) compared to conventional examples because the instability of the internal power supply voltage  $V_{cc}(\text{int})$  at  $CC_i$  is reduced, which occurs when switching the internal circuits 3. Thus, malfunction of sensitive circuits in internal circuits 3, particularly sense amplifier circuit 5, input buffers, and the like due to variation of power supply voltage occurs less easily than conventional examples (Effect ②).

[0031]

Fig. 7 is a block diagram showing the second working example of the present invention. In Fig. 7, a second working example of the power supply voltage detecting circuit M is shown when an internal step-down circuit in the present working example is disposed inside the semiconductor device. The configuration of the first stage converter connecting to the input node CC in the present working example differs from the power supply voltage detecting circuit in the first working example. The gate voltage of ENM Q31 is determined by the drain potential comprising ENM Q31 and DNM Q23. The other MOSFET are configured in the same manner as the above-mentioned first working example, and a description has been omitted. The threshold voltage of ENM Q31 is designed so that the voltage change of the node MA2 is the same as the voltage change of MA1 in the first working example.

[0032]

**FH 008671**

For example, when setting the threshold voltage  $VTN$  of ENM Q31 to  $VTN = 2.8$  V, the voltage  $V_{INTV2}$  that the power supply voltage detecting circuit M of Fig. 7 is capable of detecting is equivalent to  $V_{INTV1}$  in the power supply voltage detecting circuit (Fig. 2) described in the above-mentioned first working example, and a description has been omitted because the action of the second working example below would be the same were the nodes MA1, MB1, and MC1 to respectively replace MA2, MB2, and MC2.

[0033]

[Efficacy of the Invention]

As described above, the present invention has beneficial effects in that ① the operation of the semiconductor device is not slowed because the voltage supplied to the internal circuits does not drop as in conventional examples when using a low voltage external power supply  $V_{cc}(\text{ext}) = 3.3$  V in particular, because the output voltage  $V_{K01}$  of the step-down circuit is applied to the node  $CC_i$  when the value of the external power supply voltage is 5 V, for example, and the voltage applied to the node  $CC$  is applied as is to the node  $CC_i$  by the switching circuit when the value of the external power supply voltage is 3.3 V; and ② the malfunction of circuits which are sensitive to variation of power supply voltage occurs less easily than in conventional examples because the internal power supply voltage fluctuation caused by the flow of through-current when internal circuits are switched is sufficiently small when external power supply voltage is supplied to the internal circuits by way of a transfer gate in particular, comprising EPM and ENM having a large current-driving capability.

[0034]

Due to the effects ① and ② described above, a semiconductor device can be provided which operates stably and at a high speed even if the used external power supply voltage  $V_{cc}(\text{ext})$  is 3.3 V or 5 V.

[0035]

In the present working example, configurations of the power supply voltage detecting circuit are shown in Figs. 2 and 7, and a configuration of the switching circuit is shown in Fig. 3, however, these circuit configurations are not limiting, and any circuit having the same function may be used.

[0036]

The present working example was described using external power supply voltage  $V_{cc}(\text{ext}) = 3.3$  V, but the external power supply voltage may be  $V_{cc}(\text{ext}) = 3.0$  V, or the value of the external power supply voltage  $V_{cc}(\text{ext})$  may be lower. Naturally, the value of  $VI$  must be set in accordance with the value of the external power supply voltage  $V_{cc}(\text{ext})$ .

[Brief Description of the Figures]

Figure 1 is a block diagram of an internal step-down circuit according to the semiconductor device in the first working example of the present invention.

Figure 2 is a circuit diagram showing one example of the power supply voltage detecting circuit in Fig. 1.

Figure 3 is a circuit diagram showing one example of the switching circuit in Fig. 1.

Figure 4 is a characteristics graph showing the Vcc (ext) dependency of the voltage change which appears at the input nodes and nodes, and the like in the power supply voltage detecting circuit of Fig. 1.

Figure 5 is a characteristics graph showing the Vcc (ext) dependency of the voltage change of the output nodes of the switching circuit of Fig. 1.

Figure 6 is a characteristics graph showing the voltage wave form changing conditions which appears at the output nodes when the internal circuit is switched in a semiconductor device having an internal step-down circuit of Fig. 1.

Figure 7 is a circuit diagram showing one example of the power supply voltage circuit for realizing an internal step-down circuit according to the second working example of the present invention.

Figure 8 is a block diagram showing an internal step-down circuit according to prior art.

Figure 9 is a characteristics graph showing the external power supply voltage dependency in an internal step-down circuit according to prior art.

Figure 10 is a characteristics graph showing the voltage changing conditions at nodes when switching occurs in the internal circuits of a semiconductor device having an internal step-down circuit according to prior art.

[Key]

K Step-down circuit

M External power supply detecting circuit

L Switching circuit

K1 Voltage wave forms at any two nodes of the internal circuit which most optimally shows the switching conditions.

K2 Voltage wave forms showing the switching conditions of the internal circuit.

1 External power supply terminal

2 Internal circuit power supply line.

3 Internal circuit

5 Decoder circuit

6 Sense amplifier circuit

7 Control circuit

[Figure 1]

TOP BOX

Top Left Connection: First input terminal

Bottom Left Connection: Second input terminal

Right Connection: Output

Bottom Connections: Control Terminals

SECOND BOX FROM TOP

Left Connection: Input

Right Connection: Output

THIRD BOX FROM TOP

Left Connection: Input

Right Connections: Outputs

REMAINDER OF DIAGRAM AS NOTED IN THE KEY

[Figure 4]

Y-AXIS: Output Voltage (V)

X-AXIS: Power Supply Voltage (V)

[Figure 5]

Y-AXIS: Output Voltage (V)

X-AXIS: Power Supply Voltage (V)

**FH 008674**

[Figure 6]

Y-AXIS: Output Voltage (V)

X-AXIS: Time

[Figure 9]

Y-AXIS: Voltage (V)

X-AXIS: External Power Supply Voltage (V) Vcc (ext)

[Figure 10]

Y-AXIS: Output Voltage (V)

X-AXIS: Time

**FH 008675**